

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04948291

DIGITAL MEMORY FOR DISPLAY DEVICE USING SPACE LIGHT
MODULATOR

PUB. NO.: 07-240891 [JP 7240891 A]

PUBLISHED: September 12, 1995 (19950912)

INVENTOR(s): ROBAATO JIEI GOUBU

POORU EMU AABANASU

JIEFURII BII SANPUSERU

DONARUDO BII DOHAATEI

HASHIMOTO SEIJI

APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or
Corporation), US (United States of America)

APPL. NO.: 06-331985 [JP 94331985]

FILED: November 30, 1994 (19941130)

PRIORITY: 7-160,344 [US 160344-1993], US (United States of America),
November 30, 1993 (19931130)

INTL CLASS: [6] H04N-005/66; G02B-026/08; G06T-001/60

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION
-- Other); 45.2 (INFORMATION PROCESSING -- Memory Units); 45.9
(INFORMATION PROCESSING -- Other)

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2001 EPO. All rts. reserv.

12375288

Basic Patent (No,Kind,Date): CA 2136478 AA 19950531 <No. of Patents: 008>

**DIGITAL MEMORY FOR DISPLAY SYSTEM USING SPATIAL LIGHT
MODULATOR** (English; French)

Patent Assignee: GOVE ROBERT J (US); URBANUS PAUL M (US); SAMPSELL JEFFREY B (US); DOHERTY DONALD B (US); HASHIMOTO MASASHI (US)

Author (Inventor): GOVE ROBERT J (US); URBANUS PAUL M (US); SAMPSELL JEFFREY B (US); DOHERTY DONALD B (US); HASHIMOTO MASASHI (US)

IPC: *G09G-005/00;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CA 2136478	AA	19950531	CA 2136478	A	19941123	(BASIC)
CN 1109177	A	19950927	CN 94118611	A	19941130	
CN 1056929	B	20000927	CN 94118611	A	19941130	
DE 69411859	C0	19980827	DE 69411859	A	19941123	
DE 69411859	T2	19990211	DE 69411859	A	19941123	
EP 655723	A1	19950531	EP 94118421	A	19941123	
EP 655723	B1	19980722	EP 94118421	A	19941123	
JP 7240891	A2	19950912	JP 94331985	A	19941130	

Priority Data (No,Kind,Date):

US 160344 A 19931130

Digital memory for display system using spatial light modulator.

Patent Number: ☐ EP0655723, B1
Publication date: 1995-05-31
Inventor(s): HASHIMOTO MASASHI (JP); GOVE ROBERT J (US); URBANUS PAUL M (US); DOHERTY DONALD B (US); SAMPSELL JEFFREY B (US)
Applicant(s):: TEXAS INSTRUMENTS INC (US)
Requested Patent: ☐ JP7240891
Application Number: EP19940118421 19941123
Priority Number (s): US19930160344 19931130
IPC Classification: G09G3/34
EC Classification: G09G3/34, H04N5/74M6
Equivalent(s): CA2136478, CN1056929B, CN1109177, DE69411859D, DE69411859T

Abstract

A memory (15) for a digital display system (10) having a spatial light modulator (SLM) (16) that displays data in bit-plane format. The memory (15) has control means (25) for row random access. It also has a set of input registers (31) and two sets of output registers (32), (33). The input registers (31) receive pixel data before it has been processed. The memory (15) delivers this data back to a processor (14) for processing via a first set of output registers (32). After processing, the input registers (31) receive pixel data that has been fully processed and is ready for display. The second set of output registers (33), controlled at their input or output by a bit selector

(37), delivers bit-planes of data to the SLM (16).



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-240891

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 4 N 5/66 B
G 0 2 B 26/08 E
G 0 6 T 1/60

G 0 6 F 15/ 64 4 5 0 A

審査請求 未請求 請求項の数 2 書面 (全 16 頁)

(21) 出願番号 特願平6-331985

(22) 出願日 平成6年(1994)11月30日

(31) 優先権主張番号 1 6 0 3 4 4

(32) 優先日 1993年11月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ロバート ジェイ. ゴウブ

アメリカ合衆国テキサス州プラノ, スカー
ボロウ レーン 1405

(72) 発明者 ポール エム. アーバナス

アメリカ合衆国テキサス州ダラス, ベント
ツリー フォレスト サークル 16000,
ナンバー 1914

(74) 代理人 弁理士 浅村 皓 (外 3 名)

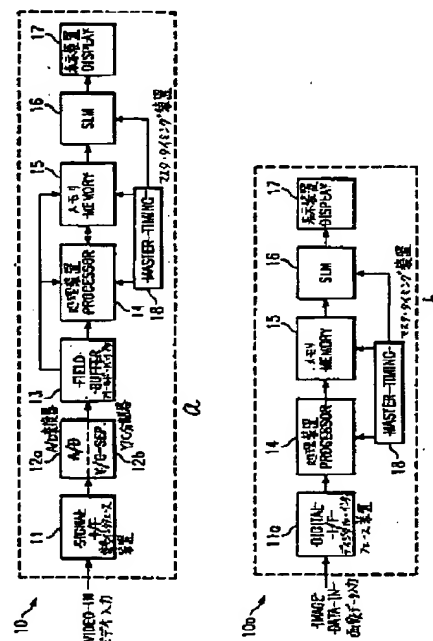
最終頁に続く

(54) 【発明の名称】 空間光変調器を用いた表示装置のためのデジタル・メモリ

(57) 【要約】

【目的】 画像データ処理する表示装置に用いることができ、かつ空間光変調器 (S L M) に基づく低コストの投射装置を得ることができる、デジタル・メモリを提供する。

【構成】 このメモリは、行ランダム・アクセスのための制御装置を有する。このメモリはまた、1組の入力レジスタと2組の出力レジスタを有する。入力レジスタは、処理される前の画素データを受け取る。このメモリはこのデータを処理装置に送り戻し、そして第1組の出力レジスタにより処理を行う。処理の後、入力レジスタは完全に処理された画素データを受け取り、そして表示の準備ができる。ビット・セレクタにより、それらの入力または出力で制御される第2組の出力レジスタが、データのビット面を S L M に送られる。



【特許請求の範囲】

【請求項1】 画像処理を実行するための処理装置と画像データのビット面に従い画像を発生するための空間光変調器（SLM）とを有するデジタル表示装置に用いられるメモリであって、

画像データを記憶しかつ少なくとも2個の画像フレームのビット寸法の容量を有するメモリ・アレイと、

前記メモリ・アレイの中に記憶するために画素データを受け取る複数の入力レジスタと、

前記メモリ・アレイから前記処理装置に画素データを転送する複数の処理装置限定出力レジスタと、

前記画素データが完全に処理された後、前記メモリ・アレイから前記SLMにデータを転送する複数のSLM限定出力レジスタと、

前記SLM出力レジスタが前記SLMにデータのビット面を送るように前記SLM出力レジスタを制御するビット・セレクトと、

前記レジスタを通して前記メモリ・アレイに読み出すおよび前記メモリ・アレイから書き込むアドレス指定およびタイミングを制御する制御装置と、を有する前記メモリ。 20

【請求項2】 画像処理を実行する処理装置とデータのビット面に従い画像を発生する空間光変調器（SLM）とを有するデジタル表示装置の中のデータを記憶および処理する方法であって、

画素データを受け取るために入力レジスタを用いる段階と、

前記処理段階の前に前記画素データを記憶する段階と、

前記画素データを前記メモリ・アレイから処理装置に送るために処理装置限定出力レジスタを用いる段階と、 30

前記画素データを処理する段階と、

処理の後、前記画素データを受け取るために前記入力レジスタを用いる段階と、

処理の後、前記画素データを記憶する段階と、

前記データをビット面データにフォーマットするために前記画素データのビットを選定する段階と、

前記ビット面データをSLMに送るためにSLM限定出力レジスタを用いる段階と、を有する前記方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像表示装置に関する。さらに詳細に言えば、本発明は、画像データを処理しかつ画像をリアル・タイムに表示するために空間光変調器を用いた、表示装置のためのデジタル・メモリに関する。

【0002】

【従来の技術およびその問題点】空間光変調器（SLM）に基づくリアル・タイム表示装置は、陰極線管（CRT）を用いた表示装置に代わるものとしてますます用いられてきている。SLM装置は、CRT装置の場合の 50

ように、表示の前にデジタル・データからアナログ・データに変換することをしないで、高い分解能の表示を得ることができる。

【0003】変形可能ミラー装置（DMD）は一種のSLMである。DMDは、投射表示装置などの応用に用いることができる。DMDは、マイクロ機械ミラー素子のアレイを有する。これらのミラー素子のおおのは、電子データにより個別に呼び出すことができる。それらのアドレス指定信号の状態に応じて、ミラー素子のおおのが動き、画像面に向けて光を反射する、または反射しないのいずれかを実行する。他のSLMは同様の原理で動作する。そこでは、複数の画素素子が備えられていて、これらの画素素子が他の画素素子と同時に光を放射し、または光を反射し、それにより、画素素子を走査するよりはむしろ画素素子をアドレス指定することにより、完全な画像のフレームを発生することができる。

【0004】他の画像処理装置の場合と同じように、SLMに基づく装置の中のデータを処理する場合、処理装置は画素データに作用する。インタレースされたデータが画素ごとに、行ごとに、およびフィールドごとに配列される。フィールドからフレームを発生するために、走査変換技術が適用される。インタレースされていないデータが、すでにフレームとして配列されている。カラー空間変換、スケーリング、および走査変換のような処理タスクが、画素データについて実行される。

【0005】けれども、SLMに基づく装置では、表示の割に、データは「ビット面」に配列されなければならない。別の言い方をすれば、ビット・レベル・データがSLMに送られなければならない、それにより、画素素子のおおのが、その画素データの値に対応する時間の長さだけ「オン」または「オフ」であることができる。ビット面は、同じデジタル加重を有するすべての画素のすべてのビットを表す。nビットの分解能を有する画素に対し、1つの画像フレーム当たりn個のビット面が存在する。

【0006】これらの異なるデータ・フォーマットのために、現在あるSLM装置は、処理されるべき画素データを得ることに対しおよびビット面データをSLMに供給することに対し、分離した複数のメモリを使用する。 40 デジタル処理タスクを達成するために、第1メモリは、処理装置に画素データを供給する。第2メモリは、ビット面データをSLMに送る。

【0007】

【問題点を解決するための手段】本発明の第1の特徴は、デジタル表示装置システムの中に用いられるメモリである。このデジタル表示装置システムは、画像処理を実行する処理装置を有し、かつビット・アドレス呼び出し可能画素素子を備えた、空間光変調器（SLM）を有する。1つのメモリ・アレイは画素データを記憶し、および少なくとも1つの画像フレームのビット寸法

の容量を有する。行デコーダは、メモリ・アレイの選択された行を呼び出す。複数の入力レジスタは、データ・ソースから画素データを受取り、それをアレイの中に記憶する。これらの入力レジスタは、前記画像フレームの少なくとも1つの行のビット寸法の容量を有する。複数の処理装置出力レジスタは、画素データが完全に処理される前に、メモリ・アレイから処理装置に画素データを転送する。これらの処理装置出力レジスタは、前記画像フレームの少なくとも1つの行のビット寸法の容量を有する。複数のSLM出力レジスタは、メモリ・アレイからSLMにデータを転送する。これらのSLM出力レジスタは、前記画像フレームの少なくとも1つのビット面の1つの行のビット寸法の容量を有する。ビット・セレクトはSLM出力レジスタを制御し、それにより、SLM出力レジスタはデータのビット面をSLMに送る。メモリ制御装置は、メモリ・アレイからこれらのレジスタを通して、読み出しおよび書き込みのアドレス指定およびタイミングを制御する。

【0008】本発明の1つの技術的な利点は、同じメモリを用いて、ビット面データをSLMに送ると同じように、画素データを処理装置に送ることができることである。デジタル部品のチップ数およびピン数を少なくすることができ、その結果、低コストのSLMに基づく投射装置が得られる。

【0009】

【実施例】DMDに基づくデジタル・テレビジョン装置の包括的な説明は、名称「Standard Independent Digital Video System」の米国特許第5,079,544号と、名称「DMD Display System」の米国特許シリアル番号第 号（代理人ドケット番号TI-17855）に開示されている。これらの特許はいずれも、テキサス・インスツルメンツ・インコーポレイテッド社に譲渡されている。これらの特許の内容はいずれも、本発明の中に取り込まれている。

【0010】名称「DMD Architecture and Timing for Use in a Pulse-Width Modulated Display System」の米国特許シリアル番号第07/678,761号（代理人ドケット番号TI-15721）は、1つの形式のDMDに基づく表示装置を開示している。この特許の内容は本発明の中に取り込まれている。この特許はまた、ビデオ・データをこのような装置と共に用いるためにフォーマットする方法と、ビット面を変調して画素の明るさを変えるための方法とを開示している。名称「White Light Enhanced Color Field Sequential Projection」の米国特許シリアル番号第07/809,816号（代理人ドケット番号TI-16573）は、DMDに基づく投射装置をカラー・ホイー

ルと共に全体的に用いて、逐次のカラー画像を得ることを開示している。この特許の内容は本発明の中に取り込まれている。

【0011】図1aは、SLMに基づく表示装置10のブロック線図である。この表示装置により、ビデオ信号からサンプリングされた画素データによりカラー画像が得られる。下記では放送用のテレビジョン信号に対する受信機について説明されるが、受信機10は、アナログ合成ビデオ信号を受信する任意の種類の装置であることができる、またはその信号により表された画像を表示する任意の種類の装置であることができる、ことを理解すべきである。図1bは、同様な装置10aのブロック線図である。この装置では、画像データ入力信号は既にデジタル・データを表している。装置10と装置10aの両方は、ここでは「デジタル表示装置」と呼ばれる。図1aと図1bの両方において、画素処理とビット面変換とに対し重要である部品のみが示されている。同期信号およびオーディオ信号を処理するために用いられるといった他の部品は、示されていない。

【0012】本発明は種々の特性を備えたメモリ15に関するものであり、メモリ15は装置10または装置10aのいずれに対しても有用である。装置10と装置10aの両方に共通の特性は、メモリ15は処理のためにデータを処理装置14に送ると共に、表示のためにSLM16にデータを送る。言い換えれば、メモリ15は、画素処理記憶とビット面変換記憶の機能を一体化する。したがって、装置10または装置10aの中において、ただ1つのメモリ装置を用いることが必要である。

【0013】例示の目的のために、ここでは装置10aについて説明する。この説明では、処理装置14によって実行される処理タスクはインタレースされたフィールドをフレームに変換することである。ライン2重化、ライン平均化、中央値フィルタリング、および運動適応化のような、種々のデインタレーシング・アルゴリズムが存在する。典型的なデインタレーシング・アルゴリズムの1つの特性は、異なる行からの画素データが、それが同じフィールドのものであってもまたは一時的に隣接するフィールドのものであっても、処理装置14により結合されることである。装置10または装置10aが同じように実行するその他の処理タスクの例は、スケーリング、カラースペース変換、および画像品質制御である。これらのタスクのおのおのに対し、処理装置14は画素データに作用を行う。これらのタスクのすべては、下記で説明される方式で処理装置14とメモリ15との間で画素データを往復させ、そして適切なコンピュータ処理を行うことにより、実行することができる。

【0014】例示の目的のために、1行当たり768個の画素を有し、かつ1フレーム当たり576個の行を有し、かつ1画素当たり8ビットを有する画像が仮定される。8ビット画素に対し、1行のビット長は8×76

8、すなわち6144ビットである。実際には、さらに典型的な画素寸法は、3つのカラーのおのおのに対し8ビットを備えた、24ビットである。異なるフレーム寸法および異なる画素寸法の主要な効果は、下記で説明されるメモリ寸法における差である。

【0015】装置10を概観する時、信号インタフェース装置11はアナログ・ビデオ信号を受取り、そしてビデオ同期信号とオーディオ信号とを分離する。信号インタフェース装置11は、このビデオ信号を、A/D変換器12aとY/C分離器12bに送る。これらのA/D変換器12aとY/C分離器12bは、ビデオ信号をデジタル・ビデオ信号に変換し、そしてそれぞれ、輝度/クロミナンスの分離を実行する。図1aの受信器10は、Y/C分離の前にA/D変換を実行するけれども、これらのタスクの順序は、デジタルY/C分離よりもむしろアナログY/C分離の場合に、逆にすることができる。

【0016】Y/C分離器12bと処理装置14との間に、フィールド・バッファ13が配置される。このフィールド・バッファ13はフィールド拡大に対して有用である。SLMに基づく装置10および10aは垂直ブランキング時間を必要としないので、フィールドとフィールドの間の余分の時間を用いて、データを処理するのに利用できる時間、およびSLM16にビット面をロードするのに利用できる時間を増加させることができる。フィールド・バッファ13は、カラー・ホイール同期およびスケーリングに関するその他の機能を有することができる。図1aに示されているように、運動に適応するデインタレーシングのようないくつかのタスクに対して、データをまずメモリ15に書き込む代わりに、フィールド・バッファ13から処理装置14に直接に送ることができる。種々の処理タスクを実行することにより、処理装置14は表示装置のためにデータを準備する。前記で説明されたように、処理装置14は画素データに作用を行う。

【0017】メモリ15は、フィールド・バッファ13から画素データを受け取る。適切な時刻に、メモリ15は画素データを処理装置14に送り、そこで処理を行う。処理の後、メモリ15は再び画素データを受け取る。前記で説明したように、メモリ15と処理装置14との間のデータの転送は、多数個の異なる処理タスクに対し繰り返すことができる。すべての処理の後、データがSLM16に送る準備ができていたという意味で、データは「完全に処理」される。完全に処理されたデータのフレームのおのおのが記憶された後、メモリ15はそのフレームのビット面をSLM16に送る。画素データ出力とビット面出力との両方を達成するためのメモリ15の特別の特性は、図2～図4に関連して下記で説明される。

【0018】SLM16は任意の種類のSLMであるこ

とができる。本明細書ではDMDの形式のSLMであるとして説明されるけれども、他の種類のSLMを装置10または装置10aの中に置き換えて用いることができる。例えば、SLM16はLCD型SLMであることができる。1つの適切なDMDは、名称「Spatial Light Modulator」の米国特許第4,956,619号に詳細に開示されている。この特許の内容は、本発明の中に取り込まれている。

【0019】表示装置17はSLM16から画像を受け取り、そして表示画像を表示装置スクリーンのような画像面に送る。もし装置10または装置10aがカラー・データを処理するならば、表示装置17はカラー・ホイールを有することができる。ビット面のおのおのが対応するカラー・フィルタを透過するように、このカラー・ホイールが回転する。マスタ・タイミング装置18により、種々の装置の制御機能が得られる。

【0020】図2は、処理装置14とメモリ15を詳細に示した図面である。図面に示されているように、メモリ15は、少なくとも2個の画像フレームを有しているという意味で、2重バッファ・メモリである。1フレームの時間間隔の間、それは典型的には1/60秒であるが、第1領域15aは処理可能なデータの1フレームまでを記憶する。同じフレームの時間間隔の間、第2領域15bはSLM16にロードされる1つのフレームを記憶する。フレームの時間間隔の終りに、領域15aはSLM16に送られるべき1つのフレームのデータで満たされ、そして領域15bはそのデータがロードされたので空白である。これら2つの領域15aおよび15bは、それぞれの時間間隔で、「ピン・ポン」制御される。領域15bがそのデータをSLM16に送った後、それは処理装置14にデータを送る領域になる。同じ時刻に、完全に処理されたデータで満たされている領域15aは、SLM16にデータを送る領域になる。

【0021】前記で説明したように、メモリ15は2つの異なるソースから画素データを受け取る。ある時刻には、メモリ15はフィールド・バッファ13から画素データを受け取る。他の時刻には、メモリ15は処理装置14から画素データを受け取る。現在どのソースがメモリ15にデータを送るべきであるかを制御するタイミング機能に応じて、マルチプレクサ21がメモリ15の書き込みポート22に適切なデータを送る。メモリ15はまた、処理装置14にデータを送るための読出しポート23を有する。これらのポート22および23は同時に動作することができ、それにより、画素データが書き込まれ、一方異なる画素データを読み出すことができる。

【0022】制御装置25はマスタ・タイミング装置18からタイミング信号を受け取り、および処理装置14からアドレス信号を受け取る。DMDに基づく投射装置のリアルタイム画像表示のために必要なデータ速度は、

米国特許シリアル番号第07/678,761号のような様々の他の出願中特許の主題である。この出願中特許の内容は、本発明の中に取り込まれている。アドレス指定のために、制御装置25は、行ランダム・アクセスのためのアドレス・デコーダを有する。すなわち、データの任意の行を独立に呼び出すことができる。例えば、インタレースされた画素データの1つのフィールドが書き込まれる時、奇数ラインのみまたは偶数ラインのみを書き込むことができる。アドレス・ラインと制御ライン（図示されていない）とを用いて、どの行が呼び出されるかが決定される。

【0023】図3は、メモリ装置30として識別されたメモリ15の一部分の図面である。この実施例では、メモリ装置30のおのおのは、画素データの1/6フレームの容量を有する。したがって、データの各フレームを記憶するために、6個のメモリ装置30が必要である。

【0024】装置30のおのおのは、2個のメモリ・アレイ34を有する。アレイ34のおのおのは、512×576ビットの容量を有する。この寸法は画像フレームの1/12の寸法に対応し、および画像フレームの1/6を記憶するための6個の装置30のおのおのの能力に対応する。アレイ34の512ビットの「高さ」は、行のおのおの6144ビット長を収容する。(512×12=6144=8×768)これらの576ビット「幅」は、1つのフレームの中の行の総数に対応する。メモリ15をアレイ34に分割することは、制御装置と利用可能なメモリ寸法との問題であることを理解すべきである。概念的には、メモリ15は少なくとも2個の画像フレームの容量を有する1個のアレイであることができる。2重バッファ作用のために、領域15aおよび15bのおのおのに割り当てられた1個または複数個のアレイは、レジスタ31~33およびビット・セクタ37を共有することができる。または、領域15aおよび15bのおのおのに対して、第2の6個のメモリ装置30のセットを用いることができる。

【0025】装置30のおのおのはまた、3つの種類のレジスタを有する。すなわち、処理装置14から画素データを受け取るための入力レジスタ31と、処理装置14に画素データを送るための処理装置限定出力レジスタ32と、SLM16にビット面データを送るためのSLM限定出力レジスタ33とを有する。

【0026】レジスタ31~33は、256ビット・レジスタである。これらのレジスタは、32個の8ビット画素の寸法に対応する。レジスタ31~33の寸法は、画像フレームの寸法に関係することを理解しなければならない。すなわち、もし画像が1行当たり8×768ビットの長さを有するならば、そしてレジスタ31~33が256ビット・レジスタであるならば、6144ビットの行全体を記憶するためには、合計で24個のレジスタが必要である。もし1つの画像フレームが異なる数の

行を有するならば、または1行当たり異なる数の画素を有するならば、レジスタ31~33の寸法またはアレイ34の寸法は、それに対応して調整することができる。同様に、装置30のおのおのの中のそれぞれの種類のレジスタ31~33の数は、それらの寸法に関係し、およびアレイ34の寸法に関係する。例えば、もし装置30のおのおのがそれぞれの種類のただ2個の256ビット・レジスタのみを有するならば、さらに小さなアレイ34および2倍の数のメモリ装置30を用いることができる。

【0027】メモリ装置30のおのおのはそれぞれの種類のレジスタ31~33を4個有し、およびアレイ34のおのおのに対し2個を有する。したがって、装置30のおのおのが1/6フレームを記憶する場合、それぞれの種類を合計して24個のレジスタ31~33が、それぞれのフレームに対して用いられる。アレイ34のおのおのは、それぞれの種類の31~33の2個のレジスタを通して、書き込まれおよび読み出される。上部の行を書き出すことができ、一方下部の行が読み込まれるので、これはデータ速度を増強するまた別の特徴である。並列データ・ライン38は、制御装置25から送られる制御信号に従って、レジスタ31~33から、またはレジスタ31~33に、データを送る。

【0028】図4は、本発明に従ってメモリ15を用いる基本的段階を示した図面である。段階41では、入力レジスタ31を通して、画素データがメモリ15の中に書き込まれる。それぞれの行がレジスタ31に読み出された後、それらがアレイ34に転送される。十分な量のデータ、典型的には少なくとも1つのフレーム、が記憶された後に起こる段階42では、レジスタ32を通して、画素データがメモリ15から処理装置14に読み出される。段階43では、処理装置14がデータに作用して、フレーム・データを生ずるデインタレーシング・アルゴリズムなどを実行する。段階44では、処理されたデータがレジスタ31を通して、段階41と同じ方式でメモリ15の中に書き込まれる。もし実行しなければならない処理がさらに存在するならば、段階42~段階44が繰り返される。データが完全に処理された時、レジスタ33を通して、SLM16にデータを送る準備ができる。少なくとも1つのフレームが記憶された後に起こる段階45では、レジスタ33を通して、メモリ15からSLM16にビット面が読み出される。

【0029】メモリ15からSLM16にデータを読み出すために、データがビット面フォーマットでSLM16により受け取られるように、レジスタ33が制御される。この「出力のフォーマット」機能を達成するために、種々の実施例のメモリ15を用いることができる。図3の実施例において、レジスタ31およびレジスタ32と同じように、256ビットのレジスタ33のおのおのは、32個の画素のおのおのに対し8ビットを記憶す

る。けれども、ビット面フォーマットに対し、レジスタ33のおおのの通信するビット・セクタ37は、それぞれの画素の8番目毎のビットを選定する。この方式のビット選定では、レジスタ33のおおののからビット0、8、16、…、248が選定される。その結果、画素のおおののビット0の1つのビット面が得られる。次に、ビット・セクタ37は1ビット位置だけ増分し、画素のおおののビット1の次のビット面を読み出す。この処理工程が、画像のすべてのビット面に対し持続する。通常、nビット画素に対し、n番目毎のビットがnビット面に対し選定される。

【0030】256ビットの容量を有するまた別の実施例として、レジスタ33は16ビットの容量を有することができる。この場合には、8番目毎のビットがレジスタ33にロードされるように、レジスタ33の入力にビット・セクタ37が配置されるであろう。データをビット面にフォーマットするのに用いることができる技術的方法は沢山あるが、その1つの重要な特性は、それらの方法はいずれも、データをSLM16に送るのに出力レジスタ33を利用しており、およびレジスタ33の入力または出力にある種のビット・セクタ37を利用して

いることである。

【0031】典型的には、レジスタ31~33へのデータのロードは、同時に起こるであろう。したがって、1つのフィールドからの1つの行がレジスタ31に書き込まれる時、処理装置14に送るために前の行をレジスタ32に書き込むことができ、そしてSLM16に送るために処理中の行をレジスタ33に書き込むことができる。

【0032】 特別の特性

図5および図6は、レジスタ31~33の中に記憶された形式の画像データを示す。前記で説明されたように、576個の行のデータを有しかつ1行当たり768個の画素を有する画像が仮定される。画素のおおののは、8ビットのデータにより表される。画像データの行のおおののは1組のブロックとして記憶される。それぞれのブロックは、「B-行番号-ブロック番号」として指定される。1行のデータが768個の画素である場合、それぞれのブロックは16個の画素に対するデータを有する。256ビット・レジスタ31~33のおおののは、2個のブロックの行データを直列形式で記憶する。

【0033】メモリ装置30のおおののはそれぞれの種類31~33のレジスタを4個有するから、メモリ装置30のおおののは8個のブロックのデータを受け取る。したがって、6個のメモリ装置30は48個のブロックのデータを記憶し、これらのデータはそれぞれの行を構成する。

【0034】多くのデジタル・テレビジョン装置の1つの特徴は、「画像の中の画像」(PIP)を表示する性能である。この「画像の中の画像」は、主画像フレー

ムの中の、通常は異なる信号の分割された画像の小さなフレームである。これら2つのフレームに対するデータは必ずしも同じ位相にはなく、そして大きな画像が小さな画像に対して指定された領域に行過ぎ書き込みをしないように、一定の装置を備えなければならない。

【0035】図7および図8は、メモリ15がPIPのような特別の特性のために、どのように変更されるかを示した図面である。特別の画像、例えばPIP、のためのデータが、従来のA/D変換器と分割された画像発生技術とを用いて発生される。PIP制御装置71は、PIP画像がいつ表示されるべきであるかを制御する。もしPIPが「オン」であるならば、制御装置71は、同じまたは異なるメモリ装置30の予め定められた部分組の入力レジスタ31を選定する。これらは、PIP画像を受け取る入力レジスタ31である。例えば、1つのメモリ装置30のブロックB-550-44からブロックB-576-48までを選定することができる。その結果、幅が4ブロックで高さが24行のPIPフレームが表示装置の右下隅に得られる。8ブロックよりも幅の大きい特別の画像に対しては、2個以上のメモリ装置30のレジスタ31が用いられるであろう。

【0036】図8は、メモリ装置30の1つの変更された実施例を示す。この実施例はメモリ装置80として示されていて、PIPのような特別の画像を実施するのに用いられる。メモリ装置80は、行ランダムであるよりはむしろブロック・ランダムである以外は、メモリ装置30と同じである。行/ブロック・デコーダ81により、データをメモリ15の選定されたブロックに書き込むまたは読み出すことができる。

【0037】メモリ15への主画像に対する画素データの読み出しの期間中、制御装置29はPIPに対して用いられているレジスタ31を選定しなく、したがって、主フレームはPIP画像のために確保されたレジスタ31に書き込まれない。また、レジスタ32は使用不可能であり、したがって、PIP画像データは走査変換処理のための処理装置12に送られない。

【0038】図7の制御回路および図8のブロック・ランダム・アクセス・メモリ80は、オン・スクリーン表示または独立した説明文のような他のデジタル表示特性のために用いることができる。特別の特性の表示のために表示スクリーンのどの領域が確保されるかに対応するレジスタ31が制御され、それにより、特別の画像が適切なレジスタ31にロードされ、そして主画像による行過ぎ書き込みは起こらない。

【0039】 他の実施例

本発明が特定の実施例について説明されたが、この説明は、本発明がこれらの実施例に限定されることを意味するものではない。開示された実施例を種々に変更した実施例、およびこれらに代わる実施例が可能であることは、当業者にはすぐに分かるであろう。したがって、本

発明の請求の範囲は、本発明の真の範囲に含まれるこれらの実施例をすべて包含するものであると理解しなければならない。

【0040】以上の説明に関して更に以下の項を開示する。

(1) 画像処理を実行するための処理装置と画像データのビット面に従い画像を発生するための空間光変調器(SLM)とを有するデジタル表示装置に用いられるメモリであって、画像データを記憶しかつ少なくとも2個の画像フレームのビット寸法の容量を有するメモリ・アレイと、前記メモリ・アレイの中に記憶するために画素データを受け取る複数の入力レジスタと、前記メモリ・アレイから前記処理装置に画素データを転送する複数の処理装置限定出力レジスタと、前記画素データが完全に処理された後、前記メモリ・アレイから前記SLMにデータを転送する複数のSLM限定出力レジスタと、前記SLM出力レジスタが前記SLMにデータのビット面を送るように前記SLM出力レジスタを制御するビット・セクタと、前記レジスタを通して前記メモリ・アレイに読み出すおよび前記メモリ・アレイから書き込むアドレス指定およびタイミングを制御する制御装置と、を有する前記メモリ。

【0041】(2) 第1項記載のメモリにおいて、複数の前記入力レジスタと、複数の前記処理装置限定出力レジスタと、複数の前記SLM限定出力レジスタとのおおのが、画像データの1つのフレームの1つの行の少なくともビット寸法の容量を有する前記メモリ。

(3) 第1項記載のメモリにおいて、複数の前記入力レジスタと、複数の前記処理装置限定出力レジスタとのおおのが、画像データの1つのフレームの1つの行の少なくともビット寸法の容量を有し、かつ前記複数のSLM限定出力レジスタが画像データの1つのビット面の1つの行の少なくともビット寸法の容量を有する前記メモリ。

(4) 第1項記載のメモリにおいて、前記ビット・セクタが前記SLM限定出力レジスタの出力でビットを選定する前記メモリ。

(5) 第1項記載のメモリにおいて、前記ビット・セクタが前記SLM限定出力レジスタの入力でビットを選定する前記メモリ。

(6) 第1項記載のメモリにおいて、前記制御装置により前記メモリ・アレイに対する行ランダム・アクセスが得られる前記メモリ。

(7) 第1項記載のメモリにおいて、前記メモリ・アレイの行の予め定められた部分と呼び出すためのブロック選定装置をさらに有し、かつ入力レジスタの予め定められた部分組を使用不可能にして画素データを受け取らないようにするための装置を有する前記メモリ。

(8) 第1項記載のメモリにおいて、前記入力レジスタがフィールド・バッファから画素データをいつ受け取

るかを制御するおよび前記入力レジスタが処理装置から画素データをいつ受け取るかを制御するためのメモリ入力制御装置をさらに有する前記メモリ。

(9) 第1項記載のメモリにおいて、前記メモリが特別の特性の画像をいつ記憶するかを制御するための特別特性画像制御装置をさらに有する前記メモリ。

【0042】(10) 画像処理を実行する処理装置とデータのビット面に従い画像を発生する空間光変調器(SLM)とを有するデジタル表示装置の中のデータを記憶および処理する方法であって、画素データを受け取るために入力レジスタを用いる段階と、前記処理段階の前に前記画素データを記憶する段階と、前記画素データを前記メモリ・アレイから処理装置に送るために処理装置限定出力レジスタを用いる段階と、前記画素データを処理する段階と、処理の後、前記画素データを受け取るために前記入力レジスタを用いる段階と、処理の後、前記画素データを記憶する段階と、前記データをビット面データにフォーマットするために前記画素データのビットを選定する段階と、前記ビット面データをSLMに送るためにSLM限定出力レジスタを用いる段階と、を有する前記方法。

(11) 第10項記載の方法において、前記SLM限定出力レジスタを用いる前記段階が前記SLM限定出力レジスタからの出力に基づき同じ2進加重のビットを選定することにより達成される前記方法。

(12) 第10項記載の方法において、SLM限定出力レジスタを用いる前記段階が前記SLM限定出力レジスタへの入力に基づき同じ2進加重のビットを選定する段階により先行する前記方法。

(13) 第10項記載の方法において、前記処理装置を用いる前記段階が走査変換アルゴリズムを実行する段階を有する前記方法。

(14) 第10項記載の方法において、前記処理装置を用いる前記段階が画素スケーリング・アルゴリズムを実行する段階を有する前記方法。

(15) 第10項記載の方法において、前記処理装置を用いる前記段階がカラー変換アルゴリズムを実行する段階を有する前記方法。

【0043】(16) 画像データのビット面に従い画像を発生する空間光変調器(SLM)を有するデジタル表示装置に用いるための処理装置システムであって、画素データをメモリに送るためのフィールド・バッファと、前記画素データをメモリから受け取るためのおよび前記SLMによる表示に適するように前記画素データを処理するための処理装置と、少なくとも2画像フレームのビット寸法の容量を有する画像データを記憶するためのメモリ・アレイと、前記メモリ・アレイの中の記憶のために画像データを受け取る複数の入力レジスタと、前記メモリ・アレイから前記処理装置に処理のために画像データを転送する複数の処理装置限定出力レジスタ

と、前記画像データが処理された後前記メモリ・アレイから前記SLMにデータを転送するための複数のSLM限定出力レジスタと、前記SLM出力レジスタが前記SLMにデータのビット面を送るように前記SLM出力レジスタを制御するためのビット・セクタとを有するメモリと、前記メモリが前記フィールド・バッファからデータをいつ受取るかを制御するためのおよび前記メモリが前記処理装置からデータをいつ受取るかを制御するためのメモリ入力制御装置と、前記ビット面データを受取るためのおよび表示を発生するための空間光変調器と、を有する前記処理装置システム。

(17) 第16項記載の処理装置システムにおいて、複数の前記入力レジスタと複数の前記処理装置限定出力レジスタと複数の前記SLM限定出力レジスタとのおおのが少なくとも画像データの1つのフレームの1つの行のビット寸法の容量を有する前記処理装置システム。

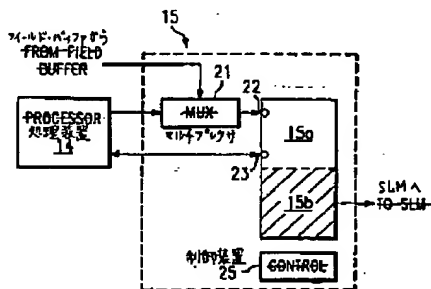
(18) 第16項記載の処理装置システムにおいて、複数の前記入力レジスタと複数の前記処理装置限定出力レジスタとのおおのが少なくとも画像データの1つのフレームの1つの行のビット寸法の容量を有し、かつ前記複数のSLM限定出力レジスタが少なくとも画像データの1つのビット面の1つの行のビット寸法の容量を有する前記処理装置システム。

(19) 第16項記載の処理装置システムにおいて、前記SLM限定出力レジスタからの出力のビットを前記ビット・セクタが選定する前記処理装置システム。

(20) 第16項記載の処理装置システムにおいて、前記SLM限定出力レジスタへの入力のビットを前記ビット・セクタが選定する前記処理装置システム。

【0044】(21) デジタル表示装置10のためのメモリ15は、データをビット面フォーマットに表示する空間光変調器(SLM)16を有する。メモリ15

【図2】



は、行ランダム・アクセスのための制御装置25を有する。メモリ15はまた、1組の入力レジスタ31と2組の出力レジスタ32、33を有する。入力レジスタ31は、処理される前の画素データを受け取る。メモリ15はこのデータを処理装置に送り戻し、第1組の出力レジスタ32により処理を行う。処理の後、入力レジスタ31は完全に処理された画素データを受け取り、そして表示の準備ができる。ビット・セクタ37により、それらの入力または出力で制御される第2組の出力レジスタ33は、データのビット面をSLM16に送られる。

【図面の簡単な説明】

【図1】本発明によるメモリを備えたSLMに基づく表示装置のブロック線図であって、aは1つの表示装置のブロック線図、bは同様な表示装置のブロック線図。

【図2】図1の処理装置およびメモリの詳細図。

【図3】メモリの一部の図。

【図4】処理装置限定データとSLM限定データの両方を記憶するためにメモリを用いる方法の段階を示す図。

【図5】図3のレジスタの中に記憶されたデータの順序を示す図。

【図6】図3のレジスタの中に記憶されたデータの順序を示す図。

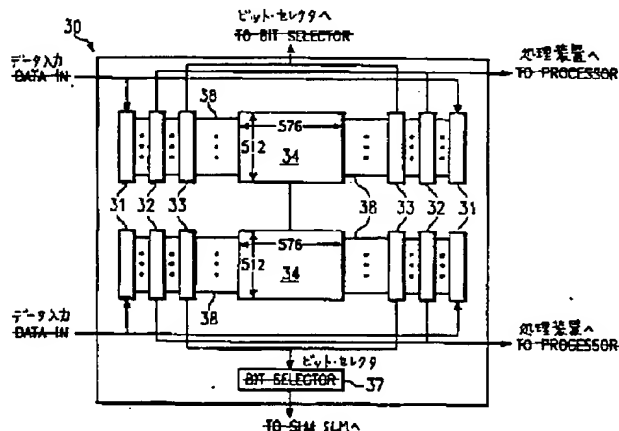
【図7】画像の中の画像のような特別の特性に対する画像がどのようにメモリに読み込まれるかを示す図。

【図8】特別の特性を実施するために、図3のメモリを変更した変更実施例の図。

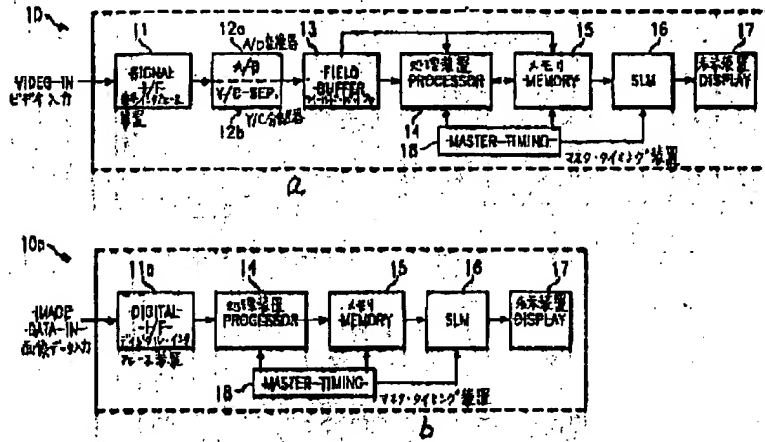
【符号の説明】

25、29	制御装置
31	入力レジスタ
32	処理装置限定出力レジスタ
33	SLM限定出力レジスタ
34	メモリ・アレイ
37	ビット・セクタ

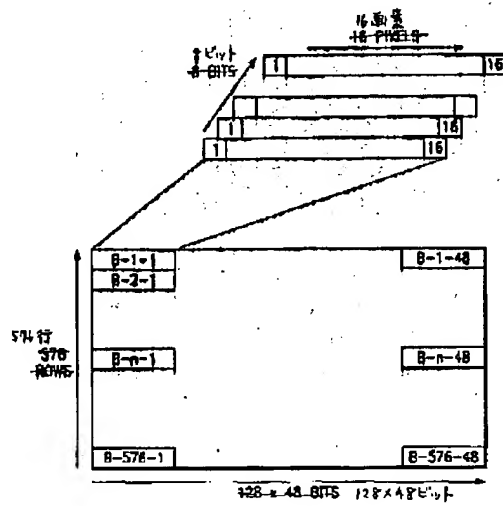
【図3】



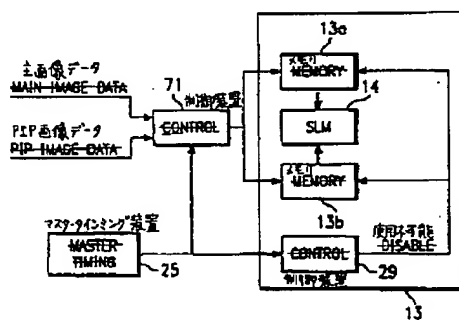
【図1】



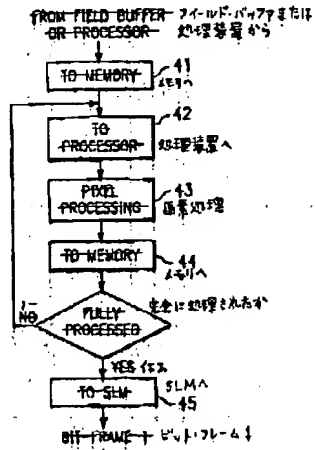
【図5】



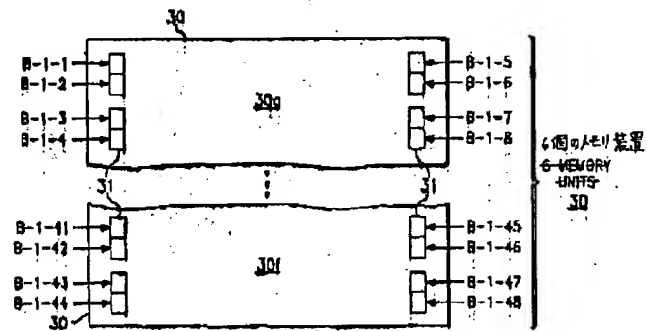
【図7】



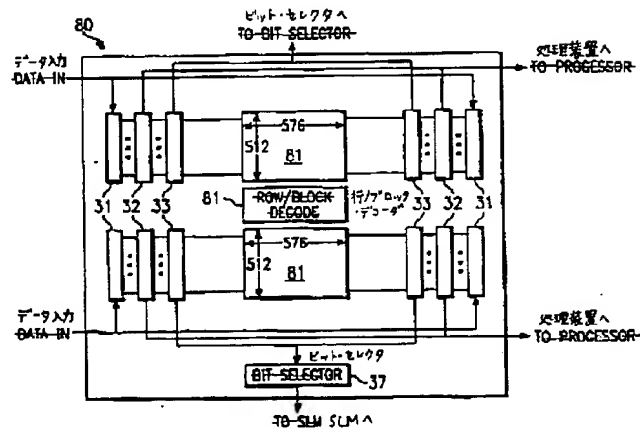
【図4】



【図6】



【図8】



【手続補正書】

【提出日】平成 7 年 3 月 7 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】空間光変調器を用いた表示装置のためのデジタル・メモリ

【特許請求の範囲】

【請求項 1】 画像処理を実行するための処理装置と画像データのビット面に従い画像を発生するための空間光変調器 (SLM) とを有するデジタル表示装置に用いられるメモリであって、
 画像データを記憶しかつ少なくとも 2 個の画像フレームのビット寸法の容量を有するメモリ・アレイと、
 前記メモリ・アレイの中に記憶するために画素データを受け取る複数の入力レジスタと、
 前記メモリ・アレイから前記処理装置に画素データを転送する複数の処理装置限定出力レジスタと、
 前記画素データが完全に処理された後、前記メモリ・アレイから前記 SLM にデータを転送する複数の SLM 限定出力レジスタと、
 前記 SLM 出力レジスタが前記 SLM にデータのビット面を送るように前記 SLM 出力レジスタを制御するビット・セクタと、
 前記レジスタを通して前記メモリ・アレイに読み出すおよび前記メモリ・アレイから書き込むアドレス指定およびタイミングを制御する制御装置と、を有する前記メモリ。

【請求項 2】 画像処理を実行する処理装置とデータのビット面に従い画像を発生する空間光変調器 (SLM) とを有するデジタル表示装置の中のデータを記憶および処理する方法であって、
 画素データを受け取るために入力レジスタを用いる段階と、
 前記処理段階の前に前記画素データを記憶する段階と、
 前記画素データを前記メモリ・アレイから処理装置に送るために処理装置限定出力レジスタを用いる段階と、
 前記画素データを処理する段階と、
 処理の後、前記画素データを受け取るために前記入力レジスタを用いる段階と、処理の後、前記画素データを記憶する段階と、
 前記データをビット面データにフォーマットするために前記画素データのビットを選定する段階と、
 前記ビット面データを SLM に送るために SLM 限定出力レジスタを用いる段階と、を有する前記方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像表示装置に関する。さらに詳細に言えば、本発明は、画像データを処理しかつ画像をリアル・タイムに表示するために空間光変調器を用いた、表示装置のためのデジタル・メモリに関する。

【0002】

【従来の技術およびその問題点】空間光変調器 (SLM) に基づくリアル・タイム表示装置は、陰極線管 (CRT) を用いた表示装置に代わるものとしてますます用いられてきている。SLM 装置は、CRT 装置の場合のように、表示の前にデジタル・データからアナログ・データに変換することをしないで、高い分解能の表示を得ることができる。

【0003】変形可能ミラー装置 (DMD) は一種の SLM である。DMD は、投射表示装置などの応用に用いることができる。DMD は、マイクロ機械ミラー素子のアレイを有する。これらのミラー素子のおおのほは、電子データにより個別に呼び出すことができる。それらのアドレス指定信号の状態に応じて、ミラー素子のおおのほが動き、画像面に向けて光を反射する、または反射しないのいずれかを実行する。他の SLM は同様の原理で動作する。そこでは、複数の画素素子が備えられていて、これらの画素素子が他の画素素子と同時に光を放射し、または光を反射し、それにより、画素素子を走査するよりはむしろ画素素子をアドレス指定することにより、完全な画像のフレームを発生することができる。

【0004】他の画像処理装置の場合と同じように、SLM に基づく装置の中のデータを処理する場合、処理装置は画素データに作用する。インタレースされたデータが画素ごとに、行ごとに、およびフィールドごとに配列される。フィールドからフレームを発生するために、走査変換技術が適用される。インタレースされていないデータが、すでにフレームとして配列されている。カラー空間変換、スケーリング、および走査変換のような処理タスクが、画素データについて実行される。

【0005】けれども、SLM に基づく装置では、表示の前に、データは「ビット面」に配列されなければならない。別の言い方をすれば、ビット・レベル・データが SLM に送られなければならない、それにより、画素素子のおおのほが、その画素データの値に対応する時間の長さだけ「オン」または「オフ」であることができる。ビット面は、同じデジタル加重を有するすべての画素のすべてのビットを表す。n ビットの分解能を有する画素に対し、1 つの画像フレーム当たり n 個のビット面が存在する。

【0006】これらの異なるデータ・フォーマットのために、現在ある SLM 装置は、処理されるべき画素データを得ることに対しおよびビット面データを SLM に供給することに対し、分離した複数のメモリを使用する。

デジタル処理タスクを達成するために、第1メモリは、処理装置に画素データを供給する。第2メモリは、ビット面データをSLMに送る。

【0007】

【問題点を解決するための手段】本発明の第1の特徴は、デジタル表示装置システムの中に用いられるメモリである。このデジタル表示装置システムは、画像処理を実行する処理装置を有し、かつビット・アドレス呼び出し可能画素素子を備えた、空間光変調器(SLM)を有する。1つのメモリ・アレイは画素データを記憶し、および少なくとも1つの画像フレームのビット寸法の容量を有する。行デコーダは、メモリ・アレイの選定された行を呼び出す。複数の入力レジスタは、データ・ソースから画素データを受取り、それをアレイの中に記憶する。これらの入力レジスタは、前記画像フレームの少なくとも1つの行のビット寸法の容量を有する。複数の処理装置出力レジスタは、画素データが完全に処理される前に、メモリ・アレイから処理装置に画素データを転送する。これらの処理装置出力レジスタは、前記画像フレームの少なくとも1つの行のビット寸法の容量を有する。複数のSLM出力レジスタは、メモリ・アレイからSLMにデータを転送する。これらのSLM出力レジスタは、前記画像フレームの少なくとも1つのビット面の1つの行のビット寸法の容量を有する。ビット・セレクトはSLM出力レジスタを制御し、それにより、SLM出力レジスタはデータのビット面をSLMに送る。メモリ制御装置は、メモリ・アレイからこれらのレジスタを通して、読み出しおよび書き込みのアドレス指定およびタイミングを制御する。

【0008】本発明の1つの技術的な利点は、同じメモリを用いて、ビット面データをSLMに送るのと同じように、画素データを処理装置に送ることができることである。デジタル部品のチップ数およびピン数を少なくすることができ、その結果、低コストのSLMに基づく投射装置が得られる。

【0009】

【実施例】DMDに基づくデジタル・テレビジョン装置の包括的な説明は、名称「Standard Independent Digital Video System」の米国特許第5,079,544号と、名称「DMD Display System」の米国特許シリアル番号第 号(代理人ドケット番号TI-17855)に開示されている。これらの特許はいずれも、テキサス・インスツルメンツ・インコーポレイテッド社に譲渡されている。これらの特許の内容はいずれも、本発明の中に取り込まれている。

【0010】名称「DMD Architecture and Timing for Use in a Pulse-Width Modulated Display System」の米国特許シリアル番号第07

／678,761号(代理人ドケット番号TI-15721)は、1つの形式のDMDに基づく表示装置を開示している。この特許の内容は本発明の中に取り込まれている。この特許はまた、ビデオ・データをこのような装置と共に用いるためにフォーマットする方法と、ビット面を変調して画素の明るさを変えるための方法とを開示している。名称「White Light Enhanced Color Field Sequential Projection」の米国特許シリアル番号第07／809,816号(代理人ドケット番号TI-16573)は、DMDに基づく投射装置をカラー・ホイールと共に全体的に用いて、逐次のカラー画像を得ることを開示している。この特許の内容は本発明の中に取り込まれている。

【0011】図1aは、SLMに基づく表示装置10のブロック線図である。この表示装置により、ビデオ信号からサンプリングされた画素データによりカラー画像が得られる。下記では放送用のテレビジョン信号に対する受信機について説明されるが、受信機10は、アナログ合成ビデオ信号を受信する任意の種類の装置であることができる、またはその信号により表された画像を表示する任意の種類の装置であることができる、ことを理解すべきである。図1bは、同様な装置10aのブロック線図である。この装置では、画像データ入力信号は既にデジタル・データを表している。装置10と装置10aの両方は、ここでは「デジタル表示装置」と呼ばれる。図1aと図1bの両方において、画素処理とビット面変換とに対し重要である部品のみが示されている。同期信号およびオーディオ信号を処理するために用いられるといった他の部品は、示されていない。

【0012】本発明は種々の特性を備えたメモリ15に関するものであり、メモリ15は装置10または装置10aのいずれに対しても有用である。装置10と装置10aの両方に共通の特性は、メモリ15は処理のためにデータを処理装置14に送ると共に、表示のためにSLM16にデータを送る。言い換えれば、メモリ15は、画素処理記憶とビット面変換記憶の機能を一体化する。したがって、装置10または装置10aの中において、ただ1つのメモリ装置を用いることが必要である。

【0013】例示の目的のために、ここでは装置10aについて説明する。この説明では、処理装置14によって実行される処理タスクはインタレースされたフィールドをフレームに変換することである。ライン2重化、ライン平均化、中央値フィルタリング、および運動適応化のような、種々のデインタレーシング・アルゴリズムが存在する。典型的なデインタレーシング・アルゴリズムの1つの特性は、異なる行からの画素データが、それが同じフィールドのものであってもまたは一時的に隣接するフィールドのものであっても、処理装置14により結合されることである。装置10または装置10aが同じ

ように実行するその他の処理タスクの例は、スケーリング、カラースペース変換、および画像品質制御である。これらのタスクのおのおのに対し、処理装置14は画素データに作用を行う。これらのタスクのすべては、下記で説明される方式で処理装置14とメモリ15との間で画素データを往復させ、そして適切なコンピュータ処理を行うことにより、実行することができる。

【0014】例示の目的のために、1行当たり768個の画素を有し、かつ1フレーム当たり576個の行を有し、かつ1画素当たり8ビットを有する画像が仮定される。8ビット画素に対し、1行のビット長は 8×768 、すなわち6144ビットである。実際には、さらに典型的な画素寸法は、3つのカラーのおのおのに対し8ビットを備えた、24ビットである。異なるフレーム寸法および異なる画素寸法の主要な効果は、下記で説明されるメモリ寸法における差である。

【0015】装置10を概観する時、信号インタフェース装置11はアナログ・ビデオ信号を受取り、そしてビデオ同期信号とオーディオ信号とを分離する。信号インタフェース装置11は、このビデオ信号を、A/D変換器12aとY/C分離器12bに送る。これらのA/D変換器12aとY/C分離器12bは、ビデオ信号をデジタル・ビデオ信号に変換し、そしてそれぞれ、輝度/クロミナンスの分離を実行する。図1aの受信器10は、Y/C分離の前にA/D変換を実行するけれども、これらのタスクの順序は、デジタルY/C分離よりもむしろアナログY/C分離の場合に、逆にすることができる。

【0016】Y/C分離器12bと処理装置14との間に、フィールド・バッファ13が配置される。このフィールド・バッファ13はフィールド拡大に対して有用である。SLMに基づく装置10および10aは垂直ブランキング時間を必要としないので、フィールドとフィールドの間の余分の時間を用いて、データを処理するのに利用できる時間、およびSLM16にビット面をロードするのに利用できる時間を増加させることができる。フィールド・バッファ13は、カラー・ホイール同期およびスケーリングに関するその他の機能を有することができる。図1aに示されているように、運動に適応するデインタレーシングのようないくつかのタスクに対して、データをまずメモリ15に書き込む代わりに、フィールド・バッファ13から処理装置14に直接に送ることができる。種々の処理タスクを実行することにより、処理装置14は表示装置のためにデータを準備する。前記で説明されたように、処理装置14は画素データに作用を行う。

【0017】メモリ15は、フィールド・バッファ13から画素データを受け取る。適切な時刻に、メモリ15は画素データを処理装置14に送り、そこで処理を行う。処理の後、メモリ15は再び画素データを受け取

る。前記で説明したように、メモリ15と処理装置14との間のデータの転送は、多数個の異なる処理タスクに対し繰り返すことができる。すべての処理の後、データがSLM16に送る準備ができているという意味で、データは「完全に処理」される。完全に処理されたデータのフレームのおのおのが記憶された後、メモリ15はそのフレームのビット面をSLM16に送る。画素データ出力とビット面出力との両方を達成するためのメモリ15の特別の特性は、図2～図4に関連して下記で説明される。

【0018】SLM16は任意の種類のSLMであることができる。本明細書ではDMDの形式のSLMであるとして説明されるけれども、他の種類のSLMを装置10または装置10aの中に置き換えて用いることができる。例えば、SLM16はLCD型SLMであることができる。1つの適切なDMDは、名称「Spatial Light Modulator」の米国特許第4,956,619号に詳細に開示されている。この特許の内容は、本発明の中に取り込まれている。

【0019】表示装置17はSLM16から画像を受け取り、そして表示画像を表示装置スクリーンのような画像面に送る。もし装置10または装置10aがカラー・データを処理するならば、表示装置17はカラー・ホイールを有することができる。ビット面のおのおのが対応するカラー・フィルタを透過するように、このカラー・ホイールが回転する。マスタ・タイミング装置18により、種々の装置の制御機能が得られる。

【0020】図2は、処理装置14とメモリ15を詳細に示した図面である。図面に示されているように、メモリ15は、少なくとも2個の画像フレームを有しているという意味で、2重バッファ・メモリである。1フレームの時間間隔の間、それは典型的には1/60秒であるが、第1領域15aは処理可能なデータの1フレームまでを記憶する。同じフレームの時間間隔の間、第2領域15bはSLM16にロードされる1つのフレームを記憶する。フレームの時間間隔の終りに、領域15aはSLM16に送られるべき1つのフレームのデータで満たされ、そして領域15bはそのデータがロードされたので空白である。これら2つの領域15aおよび15bは、それぞれの時間間隔で、「ピン・ポン」制御される。領域15bがそのデータをSLM16に送った後、それは処理装置14にデータを送る領域になる。同じ時刻に、完全に処理されたデータで満たされている領域15aは、SLM16にデータを送る領域になる。

【0021】前記で説明したように、メモリ15は2つの異なるソースから画素データを受け取る。ある時刻には、メモリ15はフィールド・バッファ13から画素データを受け取る。他の時刻には、メモリ15は処理装置14から画素データを受け取る。現在どのソースがメモ

リ15にデータを送るべきであることを制御するタイミング機能に応じて、マルチプレクサ21がメモリ15の書き込みポート22に適切なデータを送る。メモリ15はまた、処理装置14にデータを送るための読出しポート23を有する。これらのポート22および23は同時に動作することができ、それにより、画素データが書き込まれ、一方異なる画素データを読み出すことができる。

【0022】制御装置25はマスタ・タイミング装置18からタイミング信号を受け取り、および処理装置14からアドレス信号を受け取る。DMDに基づく投射装置のリアルタイム画像表示のために必要なデータ速度は、米国特許シリアル番号第07/678,761号のような様々の他の出願中特許の主題である。この出願中特許の内容は、本発明の中に取り込まれている。アドレス指定のために、制御装置25は、行ランダム・アクセスのためのアドレス・デコードを有する。すなわち、データの任意の行を独立に呼び出すことができる。例えば、インタレースされた画素データの1つのフィールドが書き込まれる時、奇数ラインのみまたは偶数ラインのみを書き込むことができる。アドレス・ラインと制御ライン（図示されていない）とを用いて、どの行が呼び出されるかが決定される。

【0023】図3は、メモリ装置30として識別されたメモリ15の一部分の図面である。この実施例では、メモリ装置30のおのおのは、画素データの1/6フレームの容量を有する。したがって、データの各フレームを記憶するために、6個のメモリ装置30が必要である。

【0024】装置30のおのおのは、2個のメモリ・アレイ34を有する。アレイ34のおのおのは、 512×576 ビットの容量を有する。この寸法は画像フレームの $1/12$ の寸法に対応し、および画像フレームの $1/6$ を記憶するための6個の装置30のおのおのの能力に対応する。アレイ34の 512 ビットの「高さ」は、行のおのおの 6144 ビット長を収容する。 $(512 \times 12 = 6144 = 8 \times 768)$ これらの 576 ビット「幅」は、1つのフレームの中の行の総数に対応する。メモリ15をアレイ34に分割することは、制御装置と利用可能なメモリ寸法との問題であることを理解すべきである。概念的には、メモリ15は少なくとも2個の画像フレームの容量を有する1個のアレイであることができる。2重バッファ作用のために、領域15aおよび15bのおのおのに割り当てられた1個または複数個のアレイは、レジスタ31~33およびビット・セクタ37を共有することができる。または、領域15aおよび15bのおのおのに対して、第2の6個のメモリ装置30のセットを用いることができる。

【0025】装置30のおのおのはまた、3つの種類のレジスタを有する。すなわち、処理装置14から画素データを受け取るための入力レジスタ31と、処理装置14に画素データを送るための処理装置限定出力レジスタ

32と、SLM16にビット面データを送るためのSLM限定出力レジスタ33とを有する。

【0026】レジスタ31~33は、 256 ビット・レジスタである。これらのレジスタは、 32 個の 8 ビット画素の寸法に対応する。レジスタ31~33の寸法は、画像フレームの寸法に関係することを理解しなければならない。すなわち、もし画像が1行当たり 8×768 ビットの長さを有するならば、そしてレジスタ31~33が 256 ビット・レジスタであるならば、 6144 ビットの行全体を記憶するためには、合計で 24 個のレジスタが必要である。もし1つの画像フレームが異なる数の行を有するならば、または1行当たり異なる数の画素を有するならば、レジスタ31~33の寸法またはアレイ34の寸法は、それに対応して調整することができる。同様に、装置30のおのおのの中のそれぞれの種類のレジスタ31~33の数は、それらの寸法に関係し、およびアレイ34の寸法に関係する。例えば、もし装置30のおのおのがそれぞれの種類のただ2個の 256 ビット・レジスタのみを有するならば、さらに小さなアレイ34および2倍の数のメモリ装置30を用いることができる。

【0027】メモリ装置30のおのおのはそれぞれの種類のレジスタ31~33を4個有し、およびアレイ34のおのおのに対し2個を有する。したがって、装置30のおのおのが $1/6$ フレームを記憶する場合、それぞれの種類を合計して 24 個のレジスタ31~33が、それぞれのフレームに対して用いられる。アレイ34のおのおのは、それぞれの種類の31~33の2個のレジスタを通して、書き込まれおよび読み出される。上部の行を書き出すことができ、一方下部の行が読み込まれるので、これはデータ速度を増強するまた別の特徴である。並列データ・ライン38は、制御装置25から送られる制御信号に従って、レジスタ31~33から、またはレジスタ31~33に、データを送る。

【0028】図4は、本発明に従ってメモリ15を用いる基本的段階を示した図面である。段階41では、入力レジスタ31を通して、画素データがメモリ15の中に書き込まれる。それぞれの行がレジスタ31に読み出された後、それらがアレイ34に転送される。十分な量のデータ、典型的には少なくとも1つのフレーム、が記憶された後に起こる段階42では、レジスタ32を通して、画素データがメモリ15から処理装置14に読み出される。段階43では、処理装置14がデータに作用して、フレーム・データを生ずるデインタレーシング・アルゴリズムなどを実行する。段階44では、処理されたデータがレジスタ31を通して、段階41と同じ方式でメモリ15の中に書き込まれる。もし実行しなければならない処理がさらに存在するならば、段階42~段階44が繰り返される。データが完全に処理された時、レジスタ33を通して、SLM16にデータを送る準備がで

きる。少なくとも1つのフレームが記憶された後に起こる段階45では、レジスタ33を通して、メモリ15からSLM16にビット面が読み出される。

【0029】メモリ15からSLM16にデータを読み出すために、データがビット面フォーマットでSLM16により受け取られるように、レジスタ33が制御される。この「出力のフォーマット」機能を達成するために、種々の実施例のメモリ15を用いることができる。図3の実施例において、レジスタ31およびレジスタ32と同じように、256ビットのレジスタ33のおおのは、32個の画素のおおのに対し8ビットを記憶する。けれども、ビット面フォーマットに対し、レジスタ33のおおのと通信するビット・セクタ37は、それぞれの画素の8番目毎のビットを選定する。この方式のビット選定では、レジスタ33のおおのからビット0、8、16、…、248が選定される。その結果、画素のおおののビット0の1つのビット面が得られる。次に、ビット・セクタ37は1ビット位置だけ増分し、画素のおおののビット1の次のビット面を読み出す。この処理工程が、画像のすべてのビット面に対し持続する。通常、nビット画素に対し、n番目毎のビットがnビット面に対し選定される。

【0030】256ビットの容量を有するまた別の実施例として、レジスタ33は16ビットの容量を有することができる。この場合には、8番目毎のビットがレジスタ33にロードされるように、レジスタ33の入力にビット・セクタ37が配置されるであろう。データをビット面にフォーマットするのに用いることができる技術的方法は沢山あるが、その1つの重要な特性は、それらの方法はいずれも、データをSLM16に送るのに出力レジスタ33を利用しており、およびレジスタ33の入力または出力にある種のビット・セクタ37を利用してあることである。

【0031】典型的には、レジスタ31~33へのデータのロードは、同時に起こるであろう。したがって、1つのフィールドからの1つの行がレジスタ31に書き込まれる時、処理装置14に送るために前の行をレジスタ32に書き込むことができ、そしてSLM16に送るために処理中の行をレジスタ33に書き込むことができる。

【0032】特別の特性

図5および図6は、レジスタ31~33の中に記憶された形式の画像データを示す。前記で説明されたように、576個の行のデータを有しかつ1行当たり768個の画素を有する画像が仮定される。画素のおおのは、8ビットのデータにより表される。画像データの行のおおのは1組のブロックとして記憶される。それぞれのブロックは、「B-行番号-ブロック番号」として指定される。1行のデータが768個の画素である場合、それぞれのブロックは16個の画素に対するデータを有す

る。256ビット・レジスタ31~33のおおのは、2個のブロックの行データを直列形式で記憶する。

【0033】メモリ装置30のおおのはそれぞれの種類31~33のレジスタを4個有するから、メモリ装置30のおおのは8個のブロックのデータを受け取る。したがって、6個のメモリ装置30は48個のブロックのデータを記憶し、これらのデータはそれぞれの行を構成する。

【0034】多くのデジタル・テレビジョン装置の1つの特徴は、「画像の中の画像」(PIP)を表示する性能である。この「画像の中の画像」は、主画像フレームの中の、通常は異なる信号の分割された画像の小さなフレームである。これら2つのフレームに対するデータは必ずしも同じ位相にはなく、そして大きな画像が小さな画像に対して指定された領域に行過ぎ書き込みをしないように、一定の装置を備えなければならない。

【0035】図7および図8は、メモリ15がPIPのような特別の特性のために、どのように変更されるかを示した図面である。特別の画像、例えばPIP、のためのデータが、従来のA/D変換器と分割された画像発生技術とを用いて発生される。PIP制御装置71は、PIP画像がいつ表示されるべきであるかを制御する。もしPIPが「オン」であるならば、制御装置71は、同じまたは異なるメモリ装置30の予め定められた部分組の入力レジスタ31を選定する。これらは、PIP画像を受け取る入力レジスタ31である。例えば、1つのメモリ装置30のブロックB-550-44からブロックB-576-48までを選定することができる。その結果、幅が4ブロックで高さが24行のPIPフレームが表示装置の右下隅に得られる。8ブロックよりも幅の大きい特別の画像に対しては、2個以上のメモリ装置30のレジスタ31が用いられるであろう。

【0036】図8は、メモリ装置30の1つの変更された実施例を示す。この実施例はメモリ装置80として示されていて、PIPのような特別の画像を実施するのに用いられる。メモリ装置80は、行ランダムであるよりはむしろブロック・ランダムである以外は、メモリ装置30と同じである。行/ブロック・デコーダ81により、データをメモリ15の選定されたブロックに書き込むまたは読み出すことができる。

【0037】メモリ15への主画像に対する画素データの読み出しの期間中、制御装置29はPIPに対して用いられているレジスタ31を選定しなく、したがって、主フレームはPIP画像のために確保されたレジスタ31に書き込まれない。また、レジスタ32は使用不可能であり、したがって、PIP画像データは走査変換処理のための処理装置12に送られない。

【0038】図7の制御回路および図8のブロック・ランダム・アクセス・メモリ80は、オン・スクリーン表示または独立した説明文のような他のデジタル表示特

性のために用いることができる。特別の特性の表示のために表示スクリーンのどの領域が確保されるかに対応するレジスタ31が制御され、それにより、特別の画像が適切なレジスタ31にロードされ、そして主画像による行過ぎ書き込みは起こらない。

【0039】他の実施例

本発明が特定の実施例について説明されたが、この説明は、本発明がこれらの実施例に限定されることを意味するものではない。開示された実施例を種々に変更した実施例、およびこれらに代わる実施例が可能であることは、当業者にはすぐに分かるであろう。したがって、本発明の請求の範囲は、本発明の真の範囲に含まれるこれらの実施例をすべて包含するものであると理解しなければならない。

【0040】以上の説明に関して更に以下の項を開示する。

(1) 画像処理を実行するための処理装置と画像データのビット面に従い画像を発生するための空間光変調器(SLM)とを有するデジタル表示装置に用いられるメモリであって、画像データを記憶しかつ少なくとも2個の画像フレームのビット寸法の容量を有するメモリ・アレイと、前記メモリ・アレイの中に記憶するために画素データを受け取る複数の入力レジスタと、前記メモリ・アレイから前記処理装置に画素データを転送する複数の処理装置限定出力レジスタと、前記画素データが完全に処理された後、前記メモリ・アレイから前記SLMにデータを転送する複数のSLM限定出力レジスタと、前記SLM出力レジスタが前記SLMにデータのビット面を送るように前記SLM出力レジスタを制御するビット・セレクトと、前記レジスタを通して前記メモリ・アレイに読み出すおよび前記メモリ・アレイから書き込むアドレス指定およびタイミングを制御する制御装置と、を有する前記メモリ。

【0041】(2) 第1項記載のメモリにおいて、複数の前記入力レジスタと、複数の前記処理装置限定出力レジスタと、複数の前記SLM限定出力レジスタとのおおのが、画像データの1つのフレームの1つの行の少なくともビット寸法の容量を有する前記メモリ。

(3) 第1項記載のメモリにおいて、複数の前記入力レジスタと、複数の前記処理装置限定出力レジスタとのおおのが、画像データの1つのフレームの1つの行の少なくともビット寸法の容量を有し、かつ前記複数のSLM限定出力レジスタが画像データの1つのビット面の1つの行の少なくともビット寸法の容量を有する前記メモリ。

(4) 第1項記載のメモリにおいて、前記ビット・セレクトが前記SLM限定出力レジスタの出力でビットを選定する前記メモリ。

(5) 第1項記載のメモリにおいて、前記ビット・セレクトが前記SLM限定出力レジスタの入力でビットを

選定する前記メモリ。

(6) 第1項記載のメモリにおいて、前記制御装置により前記メモリ・アレイに対する行ランダム・アクセスが得られる前記メモリ。

(7) 第1項記載のメモリにおいて、前記メモリ・アレイの行の予め定められた部分を呼び出すためのブロック選定装置をさらに有し、かつ入力レジスタの予め定められた部分組を使用不可能にして画素データを受け取らないようにするための装置を有する前記メモリ。

(8) 第1項記載のメモリにおいて、前記入力レジスタがフィールド・バッファから画素データをいつ受け取るかを制御するおよび前記入力レジスタが処理装置から画素データをいつ受け取るかを制御するためのメモリ入力制御装置をさらに有する前記メモリ。

(9) 第1項記載のメモリにおいて、前記メモリが特別の特性の画像をいつ記憶するかを制御するための特別特性画像制御装置をさらに有する前記メモリ。

【0042】(10) 画像処理を実行する処理装置とデータのビット面に従い画像を発生する空間光変調器(SLM)とを有するデジタル表示装置の中のデータを記憶および処理する方法であって、画素データを受け取るために入力レジスタを用いる段階と、前記処理段階の前に前記画素データを記憶する段階と、前記画素データを前記メモリ・アレイから処理装置に送るために処理装置限定出力レジスタを用いる段階と、前記画素データを処理する段階と、処理の後、前記画素データを受け取るために前記入力レジスタを用いる段階と、処理の後、前記画素データを記憶する段階と、前記データをビット面データにフォーマットするために前記画素データのビットを選定する段階と、前記ビット面データをSLMに送るためにSLM限定出力レジスタを用いる段階と、を有する前記方法。

(11) 第10項記載の方法において、前記SLM限定出力レジスタを用いる前記段階が前記SLM限定出力レジスタからの出力に基づき同じ2進加重のビットを選定することにより達成される前記方法。

(12) 第10項記載の方法において、SLM限定出力レジスタを用いる前記段階が前記SLM限定出力レジスタへの入力に基づき同じ2進加重のビットを選定する段階により先行する前記方法。

(13) 第10項記載の方法において、前記処理装置を用いる前記段階が走査変換アルゴリズムを実行する段階を有する前記方法。

(14) 第10項記載の方法において、前記処理装置を用いる前記段階が画素スケーリング・アルゴリズムを実行する段階を有する前記方法。

(15) 第10項記載の方法において、前記処理装置を用いる前記段階がカラー変換アルゴリズムを実行する段階を有する前記方法。

【0043】(16) 画像データのビット面に従い画

像を発生する空間光変調器（SLM）を有するデジタル表示装置に用いるための処理装置システムであって、画素データをメモリに送るためのフィールド・バッファと、前記画素データをメモリから受け取るためのおよび前記SLMによる表示に適するように前記画素データを処理するための処理装置と、少なくとも2画像フレームのビット寸法の容量を有する画像データを記憶するためのメモリ・アレイと、前記メモリ・アレイの中の記憶のために画像データを受け取る複数の入力レジスタと、前記メモリ・アレイから前記処理装置に処理のために画像データを転送する複数の処理装置限定出力レジスタと、前記画像データが処理された後前記メモリ・アレイから前記SLMにデータを転送するための複数のSLM限定出力レジスタと、前記SLM出力レジスタが前記SLMにデータのビット面を送るように前記SLM出力レジスタを制御するためのビット・セクタとを有するメモリと、前記メモリが前記フィールド・バッファからデータをいつ受取るかを制御するためのおよび前記メモリが前記処理装置からデータをいつ受取るかを制御するためのメモリ入力制御装置と、前記ビット面データを受取るためのおよび表示を発生するための空間光変調器と、を有する前記処理装置システム。

（17） 第16項記載の処理装置システムにおいて、複数の前記入力レジスタと複数の前記処理装置限定出力レジスタと複数の前記SLM限定出力レジスタとのおおのが少なくとも画像データの1つのフレームの1つの行のビット寸法の容量を有する前記処理装置システム。

（18） 第16項記載の処理装置システムにおいて、複数の前記入力レジスタと複数の前記処理装置限定出力レジスタとのおおのが少なくとも画像データの1つのフレームの1つの行のビット寸法の容量を有し、かつ前記複数のSLM限定出力レジスタが少なくとも画像データの1つのビット面の1つの行のビット寸法の容量を有する前記処理装置システム。

（19） 第16項記載の処理装置システムにおいて、前記SLM限定出力レジスタからの出力のビットを前記ビット・セクタが選定する前記処理装置システム。

（20） 第16項記載の処理装置システムにおいて、

前記SLM限定出力レジスタへの入力ビットを前記ビット・セクタが選定する前記処理装置システム。

【0044】（21） デジタル表示装置10のためのメモリ15は、データをビット面フォーマットに表示する空間光変調器（SLM）16を有する。メモリ15は、行ランダム・アクセスのための制御装置25を有する。メモリ15はまた、1組の入力レジスタ31と2組の出力レジスタ32、33を有する。入力レジスタ31は、処理される前の画素データを受け取る。メモリ15はこのデータを処理装置に送り戻し、第1組の出力レジスタ32により処理を行う。処理の後、入力レジスタ31は完全に処理された画素データを受け取り、そして表示の準備ができる。ビット・セクタ37により、それらの入力または出力で制御される第2組の出力レジスタ33は、データのビット面をSLM16に送られる。

【図面の簡単な説明】

【図1】本発明によるメモリを備えたSLMに基づく表示装置のブロック線図であって、aは1つの表示装置のブロック線図、bは同様な表示装置のブロック線図。

【図2】図1の処理装置およびメモリの詳細図。

【図3】メモリの一部分の図。

【図4】処理装置限定データとSLM限定データの両方を記憶するためにメモリを用いる方法の段階を示す図。

【図5】図3のレジスタの中に記憶されたデータの順序を示す図。

【図6】図3のレジスタの中に記憶されたデータの順序を示す図。

【図7】画像の中の画像のような特別の特性に対する画像がどのようにメモリに読み込まれるかを示す図。

【図8】特別の特性を実施するために、図3のメモリを変更した変更実施例の図。

【符号の説明】

- 25、29 制御装置
- 31 入力レジスタ
- 32 処理装置限定出力レジスタ
- 33 SLM限定出力レジスタ
- 34 メモリ・アレイ
- 37 ビット・セクタ

フロントページの続き

(72)発明者 ジェフリー ビー、サンブセル
アメリカ合衆国テキサス州プラノ、プエ
ロ コート2005

(72)発明者 ドナルド ビー、ドハーティ
アメリカ合衆国テキサス州アービング、ウ
エスト ランジ コート 3908

(72)発明者 橋本 征史
茨城県つくば市小野川14-32